

POLISHING METHOD OF PLATINUM METAL FILM AND CELL FORMING METHOD OF SEMICONDUCTOR STORAGE DEVICE

Publication number: JP2000164545

Publication date: 2000-06-16

Inventor: KAWAGUCHI AKIZANE

Applicant: MATSUSHITA ELECTRONICS CORP

Classification:

- International: H01L27/04; H01L21/304; H01L21/822; H01L21/8242; H01L27/108;
H01L27/04; H01L21/02; H01L21/70; H01L27/108; (IPC1-7): H01L21/304;
H01L21/822; H01L21/8242; H01L27/04; H01L27/108

- european:

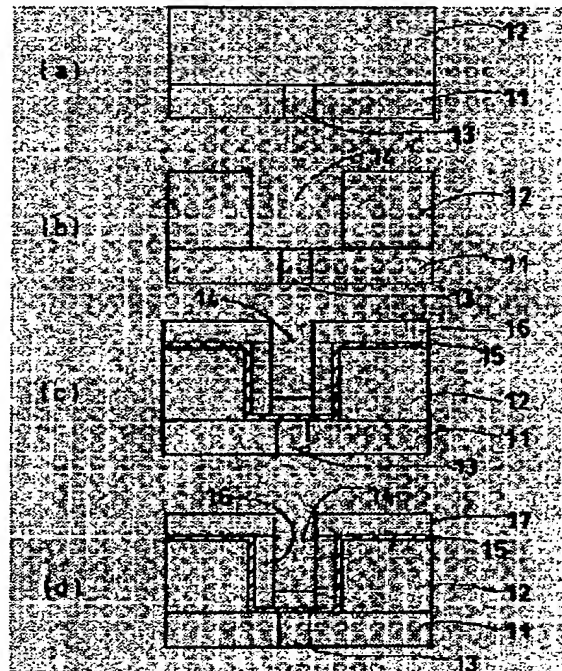
Application number: JP19980332548 19981124

Priority number(s): JP19980332548 19981124

Report a data error here

Abstract of JP2000164545

PROBLEM TO BE SOLVED: To enable a platinum metal film to be formed into a fine pattern and easily flattened in a short time by a method wherein a polished part of a platinum metal film provided to a work is converted into compound of high reactivity, and the converted part to be polished is polished through a chemical and mechanical polishing method. **SOLUTION:** An Ru film 16 except the inside of an opening 14 is chloridized into an RuCl₃ 17 by heating it at a temperature of approximately 500 deg.C or above in a Cl₂ atmosphere. At this point, it is preferable that a protective film of SiO₂ or the like is selectively deposited on an Ru surface inside the opening 14 so as to prevent a chloridizing reaction from occurring. Thereafter, the RuCl₃ 17 and a TiN/Ti film 15 are polished through a chemical mechanical polishing method with slurry which contains hydrochloric acid as solvent that dissolves the RuCl₃ 17 to be removed from a second interlayer insulating film 12, and the Ru film 16 and the TiN/Ti film 15 are left only inside the opening 14 to serve as a lower electrode.



Data supplied from the esp@cesat database - Worldwide

BEST AVAILABLE COPY

Partial Translation of JP 2000-164545

Publication Date: June 16, 2000

Application No.: 1998-332548

Filing Date: November 24, 1998

Applicant: MATSUSHITA ELECTRONICS CORP

Inventor: Akizane KAWAGUCHI

[0006]

A cell for DRAM of 1G bits has recently become so fine. In the conventional stack type cell structure, it is difficult to pattern the platinum metal film 42 for the ground electrode into the shape of the lower electrode 44 by the dry etching. Therefore, the use of a trench type cell structure has been examined. Since an opening such as a burying groove is formed in an oxide film (for example, a silicon oxide film) which is an interlayer insulating film in this trench type cell structure, the conventional dry etching process can be applied. Furthermore, since the dry etching of the platinum metal film for the lower electrode is not required, the trench type cell structure is advantageous in the formation of a finer pattern than that of the conventional stack type cell structure.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164545

(P2000-164545A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別番号	F I	テーマト* (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 X 5 F 0 3 8
			6 2 2 C 5 F 0 8 3
			6 2 2 S
27/04		27/04	C
21/822		27/10	6 2 1 C
審査請求 未請求 請求項の数 9 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願平10-332548

(22) 出願日 平成10年11月24日 (1998. 11. 24)

(71) 出願人 000006843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 川口 明実

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100076174

弁理士 宮井 暁夫

Fターム(参考) 5F038 AC05 AC09 AC15 AC18

6F083 AD24 AD49 CA09 CA21 CA28

JA14 JA38 MA05 MA18 PR21

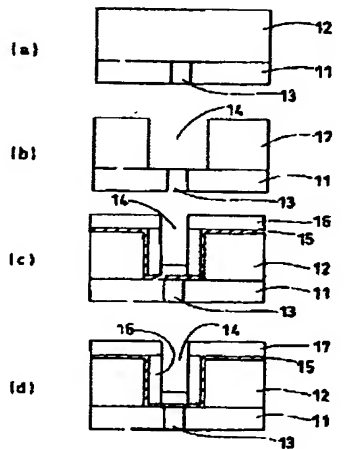
PR40

(54) 【発明の名称】 白金族系金属膜の研磨方法及半導体記憶装置のセル形成方法

(57) 【要約】

【課題】 微細なパターン形成が可能で、しかも従来からある研磨用スラリーを用いてCMP法による平坦化を短時間で容易に行うことができる白金族系金属膜の研磨方法及半導体記憶装置のセル形成方法を得る。

【解決手段】 白金族系金属膜の研磨箇所をハロゲン化してハロゲン化金属（または、硫化して硫化金属、酸化して酸化金属）とし、反応性の高い化合物に変換された白金族系金属膜を化学機械的研磨法により研磨する。



11...白金族系金属膜
12...絶縁膜
13...開口部
14...ハロゲン化金属膜
15...TIN/Ti膜
16...Ru膜
17...RUC1x膜

COPY

(2) 000-164545 (P2000-164545A)

【特許請求の範囲】

【請求項1】 被加工物に設けた白金族系金属膜の研磨箇所を反応性の高い化合物に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項2】 被加工物に設けた白金族系金属膜の研磨箇所をハロゲン化してハロゲン化金属に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項3】 被加工物に設けた白金族系金属膜の研磨箇所を硫化して硫化金属に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項4】 被加工物に設けた白金族系金属膜の研磨箇所を酸化して酸化金属に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項5】 研磨用スラリーを研磨パッドと白金族系金属膜の研磨箇所との間に供給し、前記研磨パッドと被加工物との間に圧力を印加しながら、前記研磨パッドと前記被加工物とを相対的に回転させて、前記白金族系金属膜の研磨箇所を研磨することを特徴とする請求項1記載の白金族系金属膜の研磨方法。

【請求項6】 白金族系金属膜の研磨は、白金族系金属膜の研磨箇所を全て研磨し、研磨レート異なる金属が露出した時点で終了することを特徴とする請求項5記載の白金族系金属膜の研磨方法。

【請求項7】 研磨用スラリーには、反応性の高い化合物に変換された白金族系金属膜が可溶な溶媒を用いることを特徴とする請求項5または請求項6記載の白金族系金属膜の研磨方法。

【請求項8】 導電部を有する基板上に層間絶縁膜を堆積する工程と、前記層間絶縁膜に前記導電部の少なくとも一部に到達する開口部を形成する工程と、前記開口部内および前記層間絶縁膜の上に白金族系金属膜を堆積する工程と、開口部内部以外の白金族系金属膜を反応性の高い化合物に変換する工程と、化学機械的研磨にて前記層間絶縁膜が露出するまで前記反応性の高い化合物に変換した白金族系金属膜を除去すると共に、前記開口部に前記白金族系金属膜を残存させて下部電極を形成する工程と、前記下部電極の上に誘電体膜を堆積する工程と、前記誘電体膜の上に上部電極膜を堆積する工程を含む半導体記憶装置のセル形成方法。

【請求項9】 研磨用スラリーには、反応性の高い化合物に変換された白金族系金属膜が可溶な溶媒を用いることを特徴とする請求項8記載の半導体記憶装置のセル形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、白金族系金属膜を化学機械的研磨法（以下CMP法と略記する）にて研磨する研磨方法と、白金族系金属膜により構成される電極を有する半導体記憶装置のセル形成方法に関するものである。

【0002】

【従来の技術】近年、集積回路素子の高集積化が進み、メモリセルにおいては特に記憶容量の増大などに対応すべく高集積化の進行が著しい。そこで、メモリセルの一部を構成する容量絶縁膜を構成する材料として、従来の酸化けい素（ SiO_2 ）に代えて、高誘電率で分極特性を有するPZT（ $\text{Pd}(\text{Zr}, \text{Ti})\text{O}_3$ ）系強誘電体薄膜や、BST（ $(\text{Ba}, \text{Sr})\text{TiO}_3$ ）系高誘電体薄膜を用い、これをDRAMキャパシタや不揮発メモリに応用する研究が活発になっている。この不揮発性メモリにおいて、データの書き換えを繰り返すと膜の電荷保持特性等が劣化するという難点がある。これは、膜の疲労と呼ばれるものであるが、この膜の劣化を防ぐために膜を構成する材料である高誘電体や強誘電体自体の改良が行われている。

【0003】一方、この膜の両面に接触する電極材料の改良も積極的に行われている。強誘電体や高誘電体は金属の酸化物であるため、その両面に接触している電極材料の金属をも酸化してしまう傾向がある。そのために、耐酸化性の大きい白金族系金属膜が電極として用いられている。現在、電極として使用されている白金族系金属は、白金（Pt）、ルテニウム（Ru）が使用されており、その他、イリジウム（Ir）などの使用も検討されつつある。

【0004】ここで、これまでに使用されてきたセルの形はスタック型で、塩素系ガスをを用いたドライエッチングにより下部電極用の白金族系金属をパターニングしてきた。図4（a）～（d）は、従来のプロセスを示す断面図である。下地のシリコン酸化膜41に形成された埋め込み溝内に配線としてポリシリコンを埋め込んで配線43を形成した後、その上に下部電極となる白金系金属膜42をスパッタあるいはCVD法などによって堆積する。その後、白金系金属膜42をドライエッチングによりパターニングし、下部電極44を形成する。そして、基板上に、例えばBSTにより構成される高誘電体膜45を堆積した後、さらにその上に上部電極膜46を堆積してセルを形成する。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、以下のような問題があった。

【0006】最近では、1ギガビットのDRAM用のセルは極めて微細となり、これまでのスタック型セル構造では、ドライエッチングによる下地電極用の白金族系金

COPY

(3) 000-164545 (P2000-164545A)

属膜4 2から下部電極4 4の形状にパターンニングするの
が困難である。そのため、トレンチ型セル構造にする方
向で検討が進められている。このトレンチ型セル構造で
は、層間絶縁膜である酸化膜（例えばシリコン酸化膜）
に埋め込み溝等の開口部を形成するため、これまでのド
ライエッチングプロセスが応用できる。さらに、下部電
極用の白金族系金属膜をドライエッチングする必要がな
いので、これまでのスタック型セル構造より微細なパタ
ーン形成には有利である。

【0007】しかし、トレンチ型セルを形成するプロセ
スにおいては、層間絶縁膜に形成された開口部内および
層間絶縁膜上に白金族系金属膜を堆積した後、CMP法
による平坦化を行って開口部に白金族系金属膜を埋め
込む工程が必要となるが、その際、白金族系金属は化学
反応性に乏しく、CMP法による平坦化が困難であるとい
う問題があった。

【0008】この発明の目的は、微細なパターン形成が
可能で、しかも従来からある研磨用スラリーを用いてC
MP法による平坦化を短時間で容易に行うことができる
白金族系金属膜の研磨方法と半導体記憶装置のセル形成
方法を提供するものである。

【0009】

【課題を解決するための手段】請求項1記載の白金族系
金属膜の研磨方法は、被加工物に設けた白金族系金属膜
の研磨箇所を反応性の高い化合物に変換し、化学機械的
研磨法により研磨することと特徴とするものである。

【0010】なお、反応性の高い化合物としては、ハロ
ゲン化してなるハロゲン化金属、硫化してなる硫化金
属、酸化してなる酸化金属等が挙げられる。

【0011】請求項1～4記載の白金族系金属膜の研磨
方法によると、被加工物に設けた白金族系金属膜の研磨
箇所を、反応性の高い化合物（ハロゲン化金属、硫化金
属、酸化金属）に変換することで、研磨し易くなり、市
販されている研磨用スラリーを用いてCMP法による平
坦化を短時間で容易に行うことができる。

【0012】請求項5記載の白金族系金属膜の研磨方法
は、研磨用スラリーを研磨パッドと白金族系金属膜の研
磨箇所との間に供給し、研磨パッドと被加工物との間に
圧力を印加しながら、研磨パッドと被加工物とを相対的
に回転させて、白金族系金属膜の研磨箇所を研磨するこ
とと特徴とするものである。

【0013】請求項5記載の白金族系金属膜の研磨方法
によると、化学反応性が乏しい白金族系金属膜を、より
反応性の高い化合物に変換させたことで、市販の研磨用
スラリーを用いて、白金族系金属膜を容易かつ迅速に除
去できる。

【0014】請求項6記載の白金族系金属膜の研磨方法
は、請求項5において、白金族系金属膜の研磨が、白金
族系金属膜の研磨箇所を全て研磨し、研磨レートの異な
る金属が露出した時点で終了することと特徴とするもの

である。

【0015】請求項6記載の白金族系金属膜の研磨方法
によると、反応性の高い化合物に変換された白金族系金
属膜が全て研磨された時点で、研磨レートが低い白金族
系金属が露出することになり、CMPは自然に終了す
る。

【0016】請求項7記載の白金族系金属膜の研磨方法
は、請求項5または請求項6において、研磨用スラリー
には、反応性の高い化合物に変換された白金族系金属膜
が可溶性溶媒を用いることを特徴とするものである。

【0017】請求項7記載の白金族系金属膜の研磨方法
によると、白金族系金属膜をより反応性の高い化合物に
変換することで、特殊な研磨用スラリーを用いなくとも、
変換後の化合物が可溶性溶媒が用いられているよう
な現在市販されている研磨用スラリーを用いることで、白
金族系金属膜を容易かつ迅速に除去できる。

【0018】請求項8記載の半導体記憶装置のセル形成
方法は、導体部を有する基板上に層間絶縁膜を堆積し、
層間絶縁膜に導体部の少なくとも一部に到達する開口部
を形成し、開口部内および層間絶縁膜の上に白金族系金
属膜を堆積し、開口部内部以外の白金族系金属膜を反応
性の高い化合物に変換し、化学機械的研磨にて層間絶縁
膜が露出するまで反応性の高い化合物に変換した白金族
系金属膜を除去すると共に、開口部に白金族系金属膜を
残存させて下部電極を形成し、下部電極の上に誘電体膜
を堆積し、誘電体膜の上に上部電極膜を堆積するもので
ある。

【0019】請求項8記載の半導体記憶装置のセル形成
方法によると、白金族系金属膜を下部電極とするトレン
チ型セルが形成され、白金族系金属膜の微細パターンの
形成が可能であるので、高集積化に適した半導体記憶
装置のセルを形成できる。

【0020】請求項9記載の半導体記憶装置のセル形成
方法は、請求項8において、研磨用スラリーには、反応
性の高い化合物に変換された白金族系金属膜が可溶性溶
媒を用いることを特徴とするものである。

【0021】請求項9記載の半導体記憶装置のセル形成
方法によると、白金族系金属膜をより反応性の高い化合
物に変換することで、特殊な研磨用スラリーを用いなく
とも、変換後の化合物が可溶性溶媒が用いられているよ
うな現在市販されている研磨用スラリーを用いることで、
白金族系金属膜を容易かつ迅速に除去できる。

【0022】

【発明の実施の形態】この発明の白金族系金属膜の研磨
方法と半導体記憶装置のセル形成方法を図1ないし図3
を参照しながら説明する。

【0023】図1(a)～(d)、図2(a)～(c)
は、白金族系金属膜で構成される下部電極を有するトレン
チ型セルの形成工程を示す断面図である。

【0024】まず、図1(a)に示す工程で、シリコン

(4) 000-164545 (P2000-164545A)

基板（図示せず）上に熱酸化によりシリコン酸化膜からなる第1層間絶縁膜11を700nmの厚さに形成した後、所望の位置に径が約0.16μmのコンタクトホールを形成する。そして、CVD法により、コンタクトホール内および第1層間絶縁膜11の上に厚みが約1μmのポリシリコン膜を堆積し、リン拡散を行って低抵抗化する。その後、CMP法を用いて、第1層間絶縁膜11の表面が露出するまで余分な部分のポリシリコンを除去し、基板の上面全体を平坦化する。その結果、コンタクトホール内のみポリシリコンが埋め込まれてポリシリコン配線13が形成される。

【0025】次に、基板上に、厚みが約1μmのシリコン酸化膜からなる第2層間絶縁膜12を堆積し図1(b)に示す工程で、第2層間絶縁膜12に、例えば円柱状のパターンを有する開口部14（径が約0.28μm）を従来の酸化膜用のドライエッチング技術を使用して形成する。そのとき、開口部14の底面のいずれかの部位にポリシリコン配線13が露出しているように開口部14を形成する。

【0026】次に、図1(c)に示す工程で、開口部14内および第2層間絶縁膜12上に密着層兼バリアメタル層としてTiN/Ti膜15を堆積する。このとき、TiN膜の厚みは約20nmであり、Ti膜の厚みは約10nmである。さらに、これに連続してTiN/Ti膜15の上に、白金族系金属膜であるRu膜16をスパッタ法あるいはCVD法により30nmの厚みで堆積する。

【0027】次に、図1(d)に示す工程で、開口部14内以外の研磨する部分のRu膜16の表面を、塩素ガスにより塩素化し、RuCl_x（ハロゲン化白金族系金属膜）17に変換する。

【0028】さらに、図2(a)に示す工程で、開口部14内以外のTiN/Ti膜15やRuCl_x17を除去するため、CMP法による平坦化を行う。

【0029】図3は、この工程で使用するCMPに使用される研磨機の構造の例を示す斜視図である。CMP研磨機は、中心軸の回りに回転する円盤状のプラテン31（定盤）と、該プラテン31を中心部で支持するプラテン軸32と、プラテン31上に貼り付けられた独立気泡型ウレタン樹脂や不織布等からなる研磨パッド33と、ウェハ36が装着された円板状のキャリア34と、該キャリア34を中心部で支持するキャリア軸35と、スラリー状の研磨液38を供給するための研磨液供給装置37とを備えている。ここで、プラテン軸32およびキャリア軸35は、いずれもサーボモータ等により強制的に回転され、かつその回転速度が互いに独立に可変に制御されるものである。

【0030】このCMP法による研磨の結果、図2(a)に示すように、第2層間絶縁膜12上のRuCl_x膜17およびTiN/Ti膜15が除去されて、開口

部14内のみRu膜16およびTiN/Ti膜15が残存し、下部電極18が形成される。

【0031】次に、図2(b)に示す工程で、下部電極18の上に、高誘電率の誘電体薄膜として厚みが約20nmの(Ba0.5, Sr0.5)TiO₃膜19をMOCVD法により堆積した。

【0032】次に、図2(c)に示す工程で、(Ba0.5, Sr0.5)TiO₃膜19の上に、上部電極膜であるRu膜20を、開口部14内がすべて埋められるようにスパッタあるいはCVD法により堆積した。

【0033】上記第1層間絶縁膜11に埋め込まれたポリシリコン配線13をシリコン基板のソース領域に接続される容量蓄積部コンタクトとし、開口部14内に埋め込まれた下部電極18を容量蓄積電極とし、(Ba0.5, Sr0.5)TiO₃膜19を容量絶縁膜とし、Ru膜20をプレート電極とすることで、DRAMのセルとなるキャパシタが形成される。なお、本実施形態の製造工程で形成されるセルは、DRAMのメモリセルに限定されるものではなく、不揮発性メモリのセルにも応用が可能である。

【0034】以上の工程によって形成される半導体記憶装置のセルは、容量絶縁膜として酸化性の強い高誘電体膜((Ba0.5, Sr0.5)TiO₃膜)19を用いながら、下部電極18および上部電極20を耐酸化性の大きい白金族系金属(Ru)で構成しているため、容量絶縁膜の疲労劣化に起因する書き換え特性等の悪化を防止することができる。

【0035】特に、本実施の形態の形成方法によると、CMP法を用いて、白金族系金属(Ru)からなる下部電極18を開口部14内に埋め込んで、さらにその上に酸化性の強い高誘電体膜(Ba0.5, Sr0.5)TiO₃膜19と、上部電極を構成する白金系金属膜であるRu膜20を堆積しているため、ドライエッチングによる微細パターンの形成が困難な白金系金属を下部電極膜として用いながら、微細化に適したトレンチ型セルを形成することができる。

【0036】その場合、CMP法を用いて、化学反応性に乏しい白金族系金属膜であるRu膜16を研磨するために、塩素ガス雰囲気中で高温に加熱することでRuCl_x17に変換するので、Ru膜16の表面付近の領域が塩素化される。そして、この塩素化された領域は研磨用スラリーによってCMP法で容易に除去される。この時、塩素化は開口部14以外に堆積している膜厚分とし、開口部14内部のRu膜16は化学変化を受けないようにしておく。RuCl_x17は塩酸に可溶であるため、市販されている塩酸を含む研磨用スラリーによって、量産工程に適合した短時間（例えば1分間）でトレンチ型セルを形成することができる。

【0037】なお、本実施の形態では、白金族系金属膜の研磨箇所をハロゲン化してハロゲン化金属としたが、

(5) 000-164545 (P2000-164545A)

これに限るものではなく、例えば硫化して硫化金属としたり、酸化して酸化金属としてもよい。

【0038】また、シリコン基板上に配線としてポリシリコン配線3を形成しているが、TiN配線やW配線などの他の導体材料により構成される配線を形成してもよい。

【0039】また、セルの容量絶縁膜を高誘電体膜であるBST膜により構成したが、これに限定されるものではない。

【0040】さらに、第2層間絶縁膜12に形成した開口部14を円柱状としたが、これに限定されるものではなく、各種パターンの開口部を設けて、各種パターンの下部電極を形成することができる。

【0041】次に、前記図1(c)(d)、図2(a)に示す工程における表面処理方法と研磨方法の具体的な実施例について説明する。

【0042】実施例1

Cl₂雰囲気中で500℃以上に30分加熱することで、開口部内部以外のRu膜16を塩化し、RuCl_x17とする。この時、開口部内部のRu表面はSiO₂などの保護膜を選択的に堆積し保護することで、塩化反応が起こらないようにしておくのが望ましい。

【0043】例えば、Ru膜16上にCVD-SiO₂膜を開口部内部が埋まる膜厚以上で形成した後、CVD-SiO₂膜をエッチバックして開口部内部に保護膜となるCVD-SiO₂膜を形成する。このCVD-SiO₂膜を保護膜として、Ru膜16を塩化した後、CVD-SiO₂膜を選択的に除去する。

【0044】その後、RuCl_x17およびTiN/Ti膜15のCMPを、RuCl_xが可溶な塩酸溶液を用いた市販されているスラリーで1分間行うことにより、第2層間絶縁膜12上のRuCl_x膜17およびTiN/Ti膜15が除去されて、ホール内のみにRu膜16およびTiN/Ti膜15が残存し、下部電極18が形成される。

【0045】下部電極が形成された後、開口部内部のRu表面の保護のために堆積した保護膜は除去する。

【0046】実施例2

H₂S雰囲気中で800℃以上に45分加熱することで、開口部内部以外のRu膜16を硫化し、RuSとする。この時、開口部内部のRu表面はSiO₂などの保護膜を実施例1のような方法で選択的に堆積し保護することで、硫化反応が起こらないようにしておくのが望ましい。

【0047】その後、RuS_xおよびTiN/Ti膜15のCMPを、RuS_xが可溶な塩酸溶液を用いた市販されているスラリーで1分間行うことにより、第2層間絶縁膜12上のRuS_x膜およびTiN/Ti膜15が除去されて、ホール内のみにRu膜16およびTiN/Ti膜15が残存し、下部電極18が形成された。

【0048】下部電極が形成された後、開口部内部のRu表面の保護のために堆積した保護膜は除去する。

【0049】

【発明の効果】請求項1～4記載の白金族系金属膜の研磨方法によると、被加工物に設けた白金族系金属膜の研磨箇所を、反応性の高い化合物（ハロゲン化金属、硫化金属、酸化金属）に変換することで、研磨し易くなり、市販されている研磨用スラリーを用いてCMP法による平坦化を短時間で容易に行うことができる。

【0050】請求項5記載の白金族系金属膜の研磨方法によると、化学反応性が乏しい白金族系金属膜を、より反応性の高い化合物に変換させたことで、市販の研磨用スラリーを用いて、白金族系金属膜を容易かつ迅速に除去できる。

【0051】請求項6記載の白金族系金属膜の研磨方法によると、反応性の高い化合物に変換された白金族系金属膜が全て研磨された時点で、研磨レートが遅い白金族系金属が露出することになり、CMPは自然に終了する。

【0052】請求項7記載の白金族系金属膜の研磨方法によると、白金族系金属膜をより反応性の高い化合物に変換することで、特殊な研磨用スラリーを用いなくても、変換後の化合物が可溶な溶液が用いられているような現在市販されている研磨スラリーを用いることで、白金族系金属膜を容易かつ迅速に除去できる。

【0053】請求項8記載の半導体記憶装置のセル形成方法によると、白金族系金属膜を下部電極とするトレンチ型セルが形成され、白金族系金属膜の微細パターンの形成が可能であるので、高集積化に適した半導体記憶装置のセルを形成できる。

【0054】請求項9記載の半導体記憶装置のセル形成方法によると、白金族系金属膜をより反応性の高い化合物に変換することで、特殊な研磨用スラリーを用いなくても、変換後の化合物が可溶な溶液が用いられているような現在市販されている研磨スラリーを用いることで、白金族系金属膜を容易かつ迅速に除去できる。

【図面の簡単な説明】

【図1】この発明の実施の形態における白金族系金属膜により構成される下部電極を有するトレンチ型セルを形成する工程を示す断面図である。

【図2】この発明の実施の形態における白金族系金属膜により構成される下部電極を有するトレンチ型セルを形成する工程を示す断面図である。

【図3】この発明の実施の形態におけるCMP工程で使用するCMP用研磨機の構造を示す斜視図である。

【図4】従来の白金族系金属膜で構成される下部電極を有するスタック型セルを形成する工程を示す断面図である。

【符号の説明】

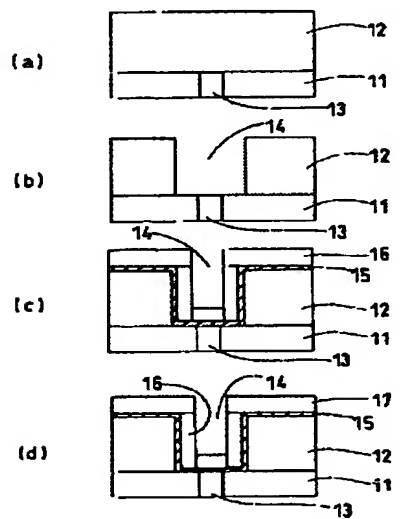
11 第1層間絶縁膜

!(6) 000-164545 (P2000-164545A)

- 12 第2層間絶縁膜
 13 ポリシリコン配線
 14 開口部
 15 TiN/Ti膜
 16 Ru膜(白金族系金属膜)
 17 RuCl_x膜(ハロゲン化白金族系金属膜)
 18 下部電極
 19 (Ba_{0.5}, Sr_{0.5})TiO₃膜(誘電体膜)
 20 Ru膜(上部電極膜)

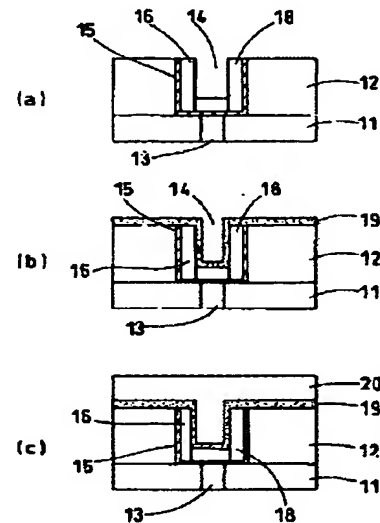
- 31 プラテン
 32 プラテン軸
 33 研磨パッド
 34 キャリア
 35 キャリア軸
 36 ウエハ
 37 研磨液供給装置
 38 研磨液

【図1】



- 11...第1層間絶縁膜
 12...第2層間絶縁膜
 13...ポリシリコン配線
 14...開口部
 15...TiN/Ti膜
 16...Ru膜
 17...RuCl_x膜

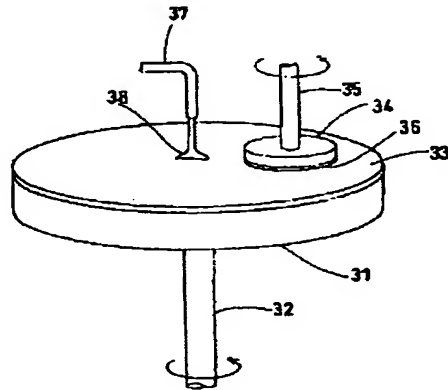
【図2】



- 18...下部電極
 19...(Ba_{0.5}, Sr_{0.5})TiO₃膜
 20...Ru膜

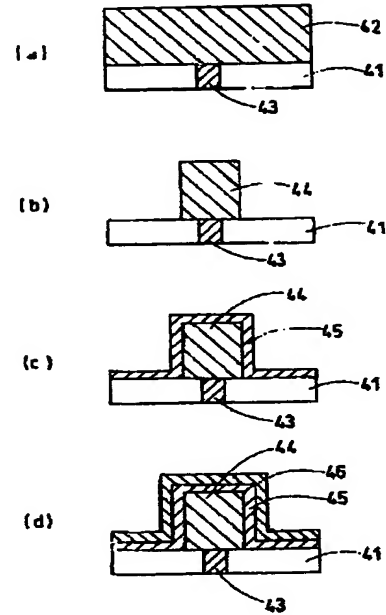
(7) 000-164545 (P2000-164545A)

【図3】



31...プグテン
32...プグテン軸
33...基座
34...キャリア
35...キャリア軸
36...ワイヤ
37...駆動機構
38...駆動機構

【図4】



フロントページの続き

(51) Int. Cl. 7

H01L 27/108
21/8242

識別記号

FI
H01L 27/10

651

(参考)

NOT A TRUE COPY